

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-148262

(P2000-148262A)

(43)公開日 平成12年5月26日 (2000.5.26)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 05 F 1/56	310	G 05 F 1/56	310 C 5 H 4 3 0
H 04 L 25/02		H 04 L 25/02	V 5 K 0 2 9
25/08		25/08	W
			Z

審査請求 未請求 請求項の数9 O.L (全14頁)

(21)出願番号 特願平10-322131
(22)出願日 平成10年11月12日 (1998.11.12)

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 ジスラフ・チャーノル
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(72)発明者 石井啓友
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(74)代理人 100064285
弁理士 佐藤一雄 (外3名)

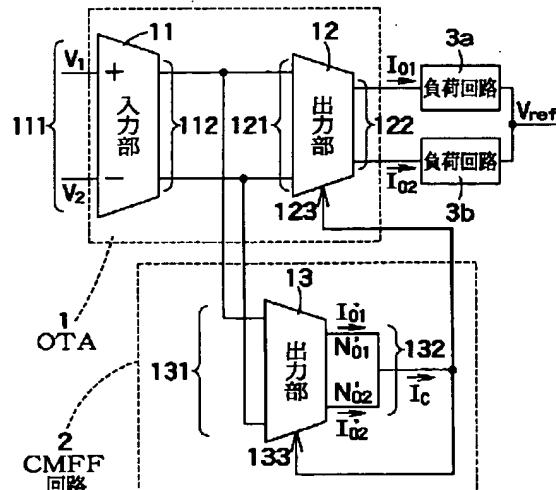
最終頁に続く

(54)【発明の名称】 電圧電流変換装置

(57)【要約】

【課題】 回路構成を簡略化でき、かつ、装置内部で発生した同相成分を除去できる電圧電流変換装置を提供する。

【解決手段】 本発明の電圧電流変換装置は、OTA 1と、OTA 1が全差動型となるように制御するCMFF回路2とを備え、OTA 1の出力端子には負荷回路3a、3bが接続される。OTA 1は、差動電圧を第1の差動電流に変換する入力部11と、第1の差動電流に基づいて負荷回路3a、3bに供給する差動電流を生成する出力部12とを有する。CMFF回路2は、OTA 1内の出力部12と略等しい構成の出力部13を有する。OTA 1を入力部11と出力部12の2つのブロックに分割し、かつ、OTA 1を制御するCMFF回路2の構成を出力部12と略等しくしたため、電圧電流変換装置の構成を従来よりも簡略化することができ、消費電力も低減できる。



【特許請求の範囲】

【請求項 1】 差動電圧を差動電流に変換する差動電圧電流変換回路と、

前記差動電流に含まれる同相成分が略一定になるように前記差動電圧電流変換回路を制御する同相成分制御回路と、を備えた電圧電流変換装置において、

前記差動電圧電流変換回路は、

前記差動電圧を中間信号に変換する入力部と、

前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、

前記同相成分制御回路は、前記出力部と略等しく構成され、

前記出力部は、前記同相成分制御回路の出力に基づいてフィードフォワード制御されることを特徴とする電圧電流変換装置。

【請求項 2】 前記出力部は、前記同相成分制御回路の出力信号が入力される制御端子と、この制御端子にゲート端子が接続されたトランジスタとを有し、

前記同相成分制御回路は、前記制御端子に流れる電流が略ゼロになるように前記出力部および前記同相成分制御回路を流れる電流を制御することを特徴とする請求項 1 に記載の電圧電流変換装置。

【請求項 3】 差動電圧を差動電流に変換する差動電圧電流変換回路と、

前記差動電流に含まれる同相成分が略一定になるように前記差動電圧電流変換回路を制御する同相成分制御回路と、を備えた電圧電流変換装置において、

前記差動電圧電流変換回路は、

前記差動電圧を中間信号に変換する入力部と、

前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、

前記入力部は、前記同相成分制御回路の出力信号が入力されて能動素子の制御端子だけが接続された制御端子を有し、

前記同相成分制御回路は、前記出力部と略等しく構成されることを特徴とする電圧電流変換装置。

【請求項 4】 差動電圧を差動電流に変換する差動電圧電流変換回路と、

前記差動電流に含まれる同相成分が略一定になるように前記差動電圧電流変換回路を制御する同相成分制御回路と、を備えた電圧電流変換装置において、

前記差動電圧電流変換回路は、

前記差動電圧を中間信号に変換する入力部と、

前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、

前記同相成分制御回路は、前記出力部と略等しく構成され、

前記入力部および前記同相成分制御回路は、前記同相成分制御回路の出力に基づいてフィードバック制御されることを特徴とする電圧電流変換装置。

【請求項 5】 前記同相成分制御回路および前記入力部はそれぞれ、前記同相成分制御回路の出力信号が入力される制御端子と、この制御端子にゲート端子が接続されたトランジスタとを有し、

前記同相成分制御回路は、前記制御端子および前記同相成分制御回路に流れる電流が略ゼロになるように前記入力部のバイアス電流を制御することを特徴とする請求項 4 に記載の電圧電流変換装置。

【請求項 6】 前記入力部、前記出力部、および前記同相成分制御回路の各一部により構成され前記中間信号に応じた電流を前記出力部および前記同相成分制御回路に供給するカレントミラー回路を備え、

前記出力部は、前記カレントミラー回路から供給される電流に基づいて、前記負荷回路に供給する差動電流を生成し、

前記同相成分制御回路は、前記カレントミラー回路から供給される電流に基づいて前記差動電圧電流変換回路を制御することを特徴とする請求項 1 ～ 5 のいずれかに記載の電圧電流変換装置。

【請求項 7】 前記出力部は、第 1 の負荷回路に接続される第 1 の出力端子と、第 2 の負荷回路に接続される第 2 の出力端子とを有し、

前記第 1 および第 2 の出力端子から出力される同相電圧が予め定めた基準電圧になるように、前記第 1 および第 2 の出力端子の他端側に前記基準電圧を印加することを特徴とする請求項 1 ～ 6 のいずれかに記載の電圧電流変換装置。

【請求項 8】 前記同相成分制御回路の短絡された出力端子に接続された電流源を有し、

前記出力部の出力同相電圧の電圧レベルを、前記電流源を流れる電流により制御することを特徴とする請求項 1 ～ 7 のいずれかに記載の電圧電流変換装置。

【請求項 9】 前記同相成分制御回路内の能動素子の出力電流が前記出力部内の対応する能動素子の出力電流の k 倍になり、かつ、前記同相成分制御回路内の受動素子のインピーダンスが前記出力部内の対応する受動素子のインピーダンスの $1/k$ 倍になるように、前記同相成分制御回路および前記出力部を構成したことを特徴とする請求項 1 ～ 8 のいずれかに記載の電圧電流変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、差動電圧を差動電流に変換する際、フィードバック制御やフィードフォワード制御を行って、外来雑音等により発生した同相成分を除去する技術に関する。

【0002】

【従来の技術】 差動電圧 V_1, V_2 を差動電流 I_{o1}, I_{o2} に変換する O T A (Operational Transconductance Amplifier) が提案されている。この種の O T A の中で、同相成分が変動しないものは、全差動型の O T A (FBOTA: Fu

lly Ballanced OTA)と呼ばれる。FBOTAの出力端子には通常、インピーダンスの等しい負荷回路が接続される。

【0003】差動電圧V₁, V₂に差動成分だけが含まれている場合であっても、外来雑音等の影響により、差動電流I_{o1}, I_{o2}に同相成分が混入することがある。特に、アナログ回路とデジタル回路が同一の集積回路内に混在する場合には、同相成分が混入しやすいため、デジタル回路で発生した雑音を除去する必要がある。

【0004】この種の雑音を除去するために、図14～図18に示すような同相フィードバック(CMFB:Common Mode Feedback)方式、あるいは図19に示すような同相フィードフォワード(CMFF:Common Mode Feedforward)方式の制御回路が提案されている。

【0005】

【発明が解決しようとする課題】図14は従来のCMFB方式のFBOTAを備えた電圧電流変換装置の概略構成を示すブロック図である。図14の電圧電流変換装置は、OTA1と、OTA1が全差動型となるように制御を行う同相フィードバック回路(CMFB回路)2aとを備え、OTA1の出力端子には負荷回路3a, 3bが接続されている。

【0006】OTA1には差動電圧V₁, V₂が入力され、OTA1からは差動電流I_{o1}, I_{o2}が outputされ、この差動電流I_{o1}, I_{o2}と負荷回路3a, 3bのインピーダンスに応じた差動電圧V_{o1}, V_{o2}が output端子に生じる。CMFB回路2aからは電圧VBが outputされる。この電圧VBは、OTA1の制御端子に印加され、これにより、OTA1の同相出力電圧がフィードバック制御される。

【0007】図15は従来のOTA1の詳細構成を示す回路図である。図15に示す従来のOTA1は、PMOSトランジスタQ101～Q104と、NMOSトランジスタQ105, Q106と、定電流源101～104と、抵抗R1とを有する。

【0008】トランジスタQ105, Q106のゲート端子に差動電圧V₁, V₂が入力され、トランジスタQ101, Q102のゲート端子にCMFB回路2aの出力電圧が入力される。また、トランジスタQ103, Q104のゲート端子には、予め定めた所定の電圧VB0が入力される。トランジスタQ103, Q104のドレイン端子から差動電流I_{o1}, I_{o2}が outputされ、負荷回路3a, 3bのインピーダンスに応じた差動電圧V_{o1}, V_{o2}が生じる。

【0009】一方、図16は従来のCMFB回路2aの詳細構成を示す回路図であり、公知文献(M. Banu, J. M. Khoury and Y. Tsividis, "Fully Differential Operational Amplifiers with Accurate Output Balancing", IEEE Journal of Solid State Circuits, Vol. 23, No. 6, p. 1410-1414, Dec. 1988)に開示されたものである。

【0010】図16は従来のCMFB回路2aの詳細構成を示す回路図である。図16のCMFB回路2aは、バッファ

回路110と、分圧回路111と、比較器112とを有する。バッファ回路110は、演算増幅器OP1, OP2で構成される。分圧回路111は、抵抗R2, R3とキャパシタC1, C2とで構成される。比較器112は、PMOSトランジスタQ111, Q112とNMOSトランジスタQ113, Q114と定電流源113とで構成される。

【0011】図15のOTA1から出力された差動電圧V_{o1}, V_{o2}は、理想的には入力インピーダンスが無限大である利得「1」の図16に示すバッファ回路110に入力される。バッファ回路110は、例えばMOSトランジスタを入力段に用いた演算増幅器による電圧フォローや、MOSトランジスタを用いたソースフォローウで構成される。図16のCMFB回路2a中の抵抗R2, R3の抵抗値が互いに等しく、かつキャパシタC1, C2の容量が互いに等しい場合には、図16の回路の出力電圧Vcは、 $V_c = (V_{o1} + V_{o2}) / 2$ となる。

【0012】ここで、電圧V_{o1}, V_{o2}の差動成分をVd_m、同相成分をV_{cm}とすると、 $V_{o1} = V_{dm} + V_{cm}$, $V_{o2} = -V_{dm} + V_{cm}$ と表すことができ、 $V_c = (V_{o1} + V_{o2}) / 2 = V_{cm}$ となる。

【0013】比較器112は、分圧回路111の出力電圧Vcと外部から入力された基準電圧V_{ref}とを比較し、その比較結果である電圧VBを出力する。この電圧VBによりOTA1の出力同相成分が制御される。具体的には、OTA1の出力同相電圧Vcが基準電圧V_{ref}に等しくなるように制御される。

【0014】このように、図15, 図16に示す電圧電流変換装置は、OTA1の出力をCMFB回路2aによりフィードバック制御することにより、OTA1の内部で発生した同相成分を除去できるという特徴を有するが、図16に示すように、2個のオペアンプOP1, OP2と1個の比較器112を必要とするため、回路規模を小型化するのが困難で、消費電力も多いという問題がある。

【0015】一方、図17はCMFB回路2aの他の従来例を示す回路図であり、公知文献(R. J. Baker, H. W. Li and D. E. Boyce, "CMOS Circuit Design, Layout and Simulation")に開示されたものである。

【0016】図17において、電圧V_{o1}, V_{ref}を比較する比較器121の比較結果と、電圧V_{o2}, V_{ref}を比較する比較器122の比較結果とを加算したものが電圧VBとして得られる。これは、電圧 $(V_{o1} + V_{o2}) / 2$ と電圧V_{ref}を比較することと等価であるため、図16と同じ結果が得られる。

【0017】図17の回路は2個の比較器121, 122が必要であるものの、図16のようなバッファ回路110や分圧回路111は不要なため、図16の回路に比べて回路規模を小型化でき、消費電力も低減することができる。

【0018】差動電圧V_{o1}, V_{o2}に対して回路が線形に応答する範囲は、図16の回路では抵抗R2, R3とキ

ヤバシタ C 1, C 2 の線形性で決まるが、図 1 7 の回路では比較器 Q 121, Q 122 内の MOS トランジスタの差動対の線形性で決まる。したがって、図 1 7 の回路は、図 1 6 の回路に比べて線形に応答する範囲が狭いという問題がある。

【0019】以上に説明した図 1 6, 図 1 7 の回路はいずれも、OTA 1 の出力同相電圧 V_{cm} に着目した方法である。一方、電圧 V_{cm} と、出力同相電流 I_{cm} と、負荷 y との間には、 $I_{cm} = y \cdot V_{cm}$ の関係があるため、出力同相電流 I_{cm} に着目した場合でも、同様の結果が得られる。

【0020】例えば、図 1 8 は出力同相電流 I_{cm} に着目した電圧電流変換装置の従来例を示す回路図であり、公知文献(C. Wang, A. Hyogo and M. Ismail, "A Single-End ed-Input Fully-Balanced-Output CMOS Circuit", 電気学会電子回路研究会資料、ECT-97-34, pp. 13-16, May 1 1997)に開示されたものである。

【0021】図 1 8 の装置は、図 1 4 と同様に、OTA 1 と、CMFB 回路 2 a とを有し、OTA 1 の出力端子に負荷回路 3 a, 3 b が接続されている。OTA 1 は、入力電圧 V_1, V_2 を電流 I_{o1}, I_{o2} に変換する入力部 1 1 と、入力部 1 1 に接続された互いに同じ構成の二つの出力部 1 2 a, 1 2 b とを有する。

【0022】図 1 8 の CMFB 回路 2 a は、電流伝送部 2 0 1 a, 2 0 1 b と、制御電流生成部 2 0 2 とを有する。電流伝送部 2 0 1 は出力部 1 2 a, 1 2 b と略等しい構成を有する。電流伝送部 2 0 1 a, 2 0 1 b はそれぞれ電流 I_{o1}, I_{o2} を検出し、これら電流 I_{o1}, I_{o2} が加算されて電流 I_c になる。

【0023】ここで、電流 I_{o1}, I_{o2} の差動成分を I_d m、同相成分を I_{cm} とすると、 $I_{o1} = I_d + I_{cm}, I_{o2} = -I_d + I_{cm}$ であるため、 I_c は $I_{o1} + I_{o2} = 2I_{cm}$ となり、同相成分だけを含む。

【0024】制御電流生成部 2 0 2 は、カレントミラー回路を構成するトランジスタ (Q121, Q122), (Q123, Q124) と、トランジスタ Q125 と、オペアンプ OP 3 と、抵抗 R 4 を有する。トランジスタ Q122 に流れる電流を I_{ref} とすると、トランジスタ Q121 には 2 倍の電流 (2 I_{ref}) が流れる。なお、トランジスタ Q121 にトランジスタ Q122 の 2 倍の電流が流れるのは、トランジスタ Q121 のチャネル幅をトランジスタ Q122 の 2 倍にしているためである。トランジスタ Q121 を流れる電流と電流伝送部 2 0 1 を流れる電流 I_c を加えた電流 (2 I_c m) がノード Nc に流れる。

【0025】図 1 8 のノード Nc (トランジスタ Q121, Q124 の接続点) は、入力部 1 1 のバイアス回路を構成するトランジスタ Q126, Q127 のゲート端子に接続されるため、ノード Nc からトランジスタ Q126, Q127 のゲートに流れる電流はほぼゼロになり、電流 $I_{cm} = I_{ref}$ となる。この結果、負荷回路 3 a, 3 b に含まれる抵抗

の抵抗値と抵抗 R 4 の抵抗値が等しい場合には、電圧 V_{o1}, V_{o2} の直流同相電圧は電圧 V_{ref} に等しくなるよう制御される。

【0026】図 1 8 の回路では、CMFB 回路 2 a を構成する 2 個のカレントミラー回路 (Q121, Q122), (Q123, Q124) と、抵抗 R 4 と、演算増幅器 OP 3 とを含むチップの面積と消費電力が問題になる。

【0027】一方、図 1 9 は OTA 1 の出力同相電流 I_{cm} に着目した FBOTA の他の従来例を示す回路図であり、公知例(F. Yang, C. C. Enz, "A Low-Distortion BiCMOS S eventh-Order Bessel Filter Operating at 2.5V Supply", IEEE Journal of Solid-State Circuits, Vol. 31, No. 3, pp. 321-330, Mar. 1996)に開示されたものである。

【0028】図 1 9 の回路は、OTA 1 と CMFF 回路 2 とを有し、CMFF 回路 2 は OTA 1 のバイアス電流を制御する。OTA 1 は、入力電圧 V_1 に対応する回路 2 1 1 と入力電圧 V_2 に対応する回路 2 1 2 とで構成され、これら回路は互いに同じ構成である。

【0029】OTA 1 内の MOS トランジスタ Q131, Q132 と CMFF 回路 2 内のトランジスタ Q133 とは、カレントミラー回路を構成しており、CMFF 回路 2 内のトランジスタ Q133 を流れる電流 I_c と略等しい電流が OTA 1 内のトランジスタ Q131, Q132 を流れる。OTA 1 内のトランジスタ Q134, Q135 は、差動電圧 V_1, V_2 を差動電流 I_1, I_2 に変換する。CMFF 回路 2 は、OTA 1 内の回路 2 1 1, 2 1 2 と基本的には同じ構成であるが、トランジスタ Q134, Q135 の代わりに並列接続された 2 個のトランジスタ Q136, Q137 を有し、各トランジスタ Q136, Q137 のゲートにはそれぞれ差動電圧 V_1, V_2 が入力される。

【0030】図 1 9 の回路において、差動電流 I_1, I_2 に差動成分と同相成分が含まれていても、電流 I_c は同相成分のみを含む。この電流 I_c をカレントミラー回路を用いて OTA 1 のバイアス電流として供給することで、OTA 1 の入力信号に含まれる同相成分が除去される。

【0031】図 1 9 の回路は設計が容易で、かつフィードフォワード方式であるため、フィードバック方式に比べて動作速度を向上できる。ただし、入力信号 V_1, V_2 に含まれる同相成分は除去できるものの、OTA 1 の内部で発生した同相成分は除去できないという問題がある。

【0032】本発明は、このような点に鑑みてなされたものであり、その目的は、回路構成を簡略化できる電圧電流変換装置を提供することにある。

【0033】

【課題を解決するための手段】上述した課題を解決するために、本発明は、差動電圧を差動電流に変換する差動電圧電流変換回路と、前記差動電流に含まれる同相成分

が略一定になるように前記差動電圧電流変換回路を制御する同相成分制御回路と、を備えた電圧電流変換装置において、前記差動電圧電流変換回路は、前記差動電圧を中間信号に変換する入力部と、前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、前記同相成分制御回路は、前記出力部と略等しく構成され、前記出力部は、前記同相成分制御回路の出力に基づいてフィードフォワード制御される。

【0034】請求項1の発明を、例えば図1に対応づけて説明すると、「差動電圧電流変換回路」は図1のOTA1に、「同相成分制御回路」はCMFF回路2に、「入力部」は入力部1に、「出力部」は出力部12に、それぞれ対応する。

【0035】また、本発明は、差動電圧を差動電流に変換する差動電圧電流変換回路と、前記差動電流に含まれる同相成分が略一定になるように前記差動電圧電流変換回路を制御する同相成分制御回路と、を備えた電圧電流変換装置において、前記差動電圧電流変換回路は、前記差動電圧を中間信号に変換する入力部と、前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、前記入力部は、前記同相成分制御回路の出力信号が入力されて能動素子の制御端子だけが接続された制御端子を有し、前記同相成分制御回路は、前記出力部と略等しく構成される。

【0036】請求項3の発明を、例えば図5に対応づけて説明すると、「差動電圧電流変換回路」は図1のOTA1に、「同相成分制御回路」はCMFB回路2aに、「入力部」は入力部1に、「出力部」は出力部12に、それぞれ対応する。

【0037】また、本発明は、差動電圧を差動電流に変換する差動電圧電流変換回路と、前記差動電流に含まれる同相成分が略一定になるように前記差動電圧電流変換回路を制御する同相成分制御回路と、を備えた電圧電流変換装置において、前記差動電圧電流変換回路は、前記差動電圧を中間信号に変換する入力部と、前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、前記同相成分制御回路は、前記出力部と略等しく構成され、前記入力部および前記同相成分制御回路は、前記同相成分制御回路の出力に基づいてフィードバック制御される。

【0038】請求項4の発明を、例えば図7に対応づけて説明すると、「差動電圧電流変換回路」は図1のOTA1に、「同相成分制御回路」はCMFB回路2aに、「入力部」は入力部1に、「出力部」は出力部12に、それぞれ対応する。

【0039】また、図1に示す発明は、以下のように構成される。

【0040】差動電圧を差動電流に変換する差動電圧電流変換回路と、前記差動電流に含まれる同相成分が略一定になるように前記差動電圧電流変換回路を制御する同

相成分制御回路と、を備えた電圧電流変換装置において、前記差動電圧電流変換回路は、前記差動電圧を中間信号に変換する入力部と、前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、前記同相成分制御回路は、一对の出力端子と、これら出力端子から出力される電流を制御する制御端子とを有し、前記出力部は、前記負荷回路に差動電流を供給する一对の出力端子と、これら出力端子から前記負荷回路に供給される差動電流を制御する制御端子とを有し、前記入力部には差動電圧が入力され、前記入力部の出力端子は、前記同相成分制御回路および前記出力部の各入力端子に接続され、前記同相成分制御回路の一対の出力端子は、互いに短絡されて前記同相成分制御回路の制御端子と前記出力部の制御端子とに接続され、前記同相成分制御回路は、前記出力部と略等しく構成されることを特徴とする電圧電流変換装置。

【0041】図5に示す発明は、以下のように構成される。

【0042】差動電圧を差動電流に変換する差動電圧電流変換回路と、前記差動電流に含まれる同相成分が略一定になるように前記差動電圧電流変換回路を制御する同相成分制御回路と、を備えた電圧電流変換装置において、前記差動電圧電流変換回路は、前記差動電圧を中間信号に変換する入力部と、前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、前記入力部は、差動電圧が入力される一对の入力端子と、出力端子と、この出力端子から出力される中間信号を制御する能動素子の制御端子だけが接続された制御端子とを有し、前記出力部は、前記負荷回路に差動電流を供給する出力端子を有し、前記同相成分制御回路は、一对の出力端子を有し、前記入力部の出力端子は、前記同相成分制御回路および前記出力部の各入力端子に接続され、前記同相成分制御回路の一対の出力端子は、互いに短絡されて前記入力部の制御端子に接続され、前記同相成分制御回路は、前記出力部と略等しく構成されることを特徴とする電圧電流変換装置。

【0043】図7に示す発明は、以下のように構成される。

【0044】差動電圧を差動電流に変換する差動電圧電流変換回路と、前記差動電流に含まれる同相成分が略一定になるように前記差動電圧電流変換回路を制御する同相成分制御回路と、を備えた電圧電流変換装置において、前記差動電圧電流変換回路は、前記差動電圧を中間信号に変換する入力部と、前記中間信号に基づいて、負荷回路に供給する差動電流を生成する出力部と、を有し、前記入力部は、差動電圧が入力される一对の入力端子と、出力端子と、この出力端子から出力される中間信号を制御する制御端子とを有し、前記同相成分制御回路は、一对の出力端子と、これら出力端子から出力される差動電流を制御する制御端子とを有し、前記出力部は、

前記負荷回路に差動電流を供給する一对の出力端子を有し、前記入力部の出力端子は、前記同相成分制御回路および前記出力部の各入力端子に接続され、前記同相成分制御回路の一対の出力端子は、互いに短絡されて前記入力部および前記同相成分制御回路の制御端子に接続され、前記同相成分制御回路は、前記出力部と略等しく構成されることを特徴とする電圧電流変換装置。

【0045】

【発明の実施の形態】以下、本発明に係る電圧電流変換装置について、図面を参照しながら具体的に説明する。

【0046】(第1の実施形態) 図1は本発明に係る電圧電流変換装置の第1の実施形態のブロック図である。図1の電圧電流変換装置は、従来の電圧電流変換回路よりも構成を簡略化した点に特徴がある。

【0047】図1の電圧電流変換装置は、差動電圧を差動電流に変換するOTA1と、OTA1が全差動型となるように制御するCMFF回路2とを備え、OTA1の出力端子には負荷回路3a, 3bが接続される。ここで、全差動型とは、OTA1から出力される差動電流に含まれる同相成分が変動しないことをいう。

【0048】OTA1は、差動電圧を第1の差動電流に変換する入力部11と、第1の差動電流に基づいて負荷回路3a, 3bに供給する第2の差動電流Io1, Io2を生成する出力部12とを有する。CMFF回路2は、OTA1内の出力部12と略等しい構成の出力部13を有する。ただし、全く同一である必要はない。

【0049】例えば、出力部12, 13内にMOSトランジスタが含まれる場合には、出力部13内のMOSトランジスタのチャネル幅は、出力部12内のMOSトランジスタのチャネル幅のk(kは実数)倍であればよい。この場合、出力部12の出力電流をIo1, Io2とすると、出力部13の出力電流Io1', Io2'は、 $Io1' = k \cdot Io1$, $Io2' = k \cdot Io2$ となる。

【0050】また、出力部12, 13内にバイポーラトランジスタが含まれる場合には、出力部13内のバイポーラトランジスタのエミッタ面積は、出力部12内のバイポーラトランジスタのエミッタ面積のk倍であればよい。

【0051】また、出力部12, 13内にインピーダンス素子が含まれる場合には、出力部13内のインピーダンス素子のインピーダンスは、出力部12内のインピーダンス素子のインピーダンスの1/k倍であればよい。

【0052】また、出力部12, 13内にキャパシタ素子が含まれる場合には、出力部13内のキャパシタ素子のキャパシタンスは、出力部12内のキャパシタ素子のキャパシタンスのk倍であればよい。

【0053】図1において、出力部12, 13の出力端子対122, 132のインピーダンスは、入力部11の出力端子対112や出力部12, 13の入力端子対121, 131のインピーダンスよりも、例えば大きい値に

設定される。

【0054】出力部12, 13はそれぞれ、出力同相成分を制御するための制御端子123, 133を有する。出力部13の出力端子対132は互いに短絡されて出力部12の制御端子123と出力部13の制御端子133とに接続される。

【0055】出力部13の出力電流Io1', Io2'の和の電流Icは、差動電流Idmが打ち消されて $Ic = 2k \cdot Icm$ になり、同相成分だけを含む。

【0056】また、後述するように、出力部12, 13内に、制御端子123, 133に接続されたMOSトランジスタが存在する場合には、制御端子123, 133には電流は流れず、 $Ic = 0$ となり、同相成分の電流Icmもゼロとなる。

【0057】すなわち、制御端子123, 133にMOSトランジスタが接続されている場合には、同相成分の電流Icmがゼロとなるように出力部12, 13のバイアス電流が制御され、その結果、出力部12の出力同相電圧は、負荷回路3a, 3bのインピーダンスをyとするど、 $y \cdot Icm + Vref = Vref$ となる。

【0058】このように、第1の実施形態は、OTA1を入力部11と出力部12の2つのブロックに分割し、かつ、OTA1を制御するCMFF回路2の構成を出力部12と略等しくしたため、電圧電流変換装置の構成を従来よりも簡略化することができ、消費電力も低減できる。

【0059】また、上述したように、図19に示す従来の電圧電流変換装置は、OTA1内部で発生した同相成分を除去できないという問題があったが、図1の電圧電流変換装置では、入力部11に流れる電流に基づいて出力部13は出力部12のフィードフォワード制御を行うため、入力部11等の装置内部で発生した同相成分を除去することができる。

【0060】さらに、負荷回路3a, 3bの他端に基準電圧Vrefを印加するため、出力同相電圧が基準電圧Vrefに等しくなるような制御を行うことができる。

【0061】(第2の実施形態) 第2の実施形態は、第1の実施形態の具体例であり、図15と原理的に等しいOTA1aを有する例を示している。

【0062】図2は本発明に係る電圧電流変換装置の第2の実施形態の回路図である。図2の入力部11は、定電流源21～24と、NMOSトランジスタQ1, Q2と、抵抗R1とを有する。出力部12はPMOSトランジスタQ3, Q4とNMOSトランジスタQ5, Q6を有し、出力部13はPMOSトランジスタQ7, Q8とNMOSトランジスタQ9, Q10を有する。

【0063】出力部12, 13は互いに略等しい構成を有し、出力部12内のトランジスタQ3, Q4のドレン端子にはそれぞれ、抵抗とキャパシタとからなる負荷回路3a, 3bが接続され、負荷回路3a, 3bの他端には基準電圧Vrefが印加される。トランジスタQ9,

Q10のドレイン端子とトランジスタQ5, Q6, Q9, Q10のゲート端子は互いに接続され、トランジスタQ7, Q8のゲート端子には、予め定めた所定の電圧VBが印加される。また、トランジスタQ7, Q9の各ドレイン端子とトランジスタQ9のゲート端子は互いに接続され、トランジスタQ8, Q10の各ドレイン端子とトランジスタQ10のゲート端子は互いに接続される。

【0064】図2の定電流源21, 22は、例えば図3のように、ソース端子が電源端子VDDに接続されたソース接地型のトランジスタ31と、このトランジスタ31のゲート端子に接続された電圧源32とで構成される。また、定電流源23, 24は、例えば図9のように、NMOSトランジスタQ201と、このトランジスタQ201のゲート端子とソース端子の間に接続された電圧源201とで構成される。

【0065】図2では、出力部12から負荷回路3aに流れる電流をIo1、出力部12から負荷回路3bに流れる電流をIo2、出力部13のトランジスタQ7, Q9のドレイン端子同士の接続点から流れ出る電流をI'01、トランジスタQ8, Q10のドレイン端子同士の接続点から流れ出る電流をI'02としている。

【0066】また、出力部13内のトランジスタQ7～Q10のチャネル幅は、出力部12内の対応するトランジスタQ3～Q6のチャネル幅のk倍（kは実数）に設定されている。

【0067】図2において、トランジスタQ5, Q6のゲート端子には原理的に電流は流れないため、トランジスタQ5, Q6のゲート端子に流れる電流Ic（=2k・Icm）はゼロでなければならない。したがって、電流Io1, Io2の同相成分Icmがゼロになるように出力部12, 13のバイアス電流が制御され、結果的に、出力同相電圧は、y・Icm+Vref=Vrefとなる。

【0068】このように、第2の実施形態は、第1の実施形態と同様に、OTA1を入力部11と出力部12に分割するとともに、OTA1を制御するCMFF回路2を出力部12と同一構成にしたため、図14等に示す従来の電圧電流変換装置に比べて回路構成を簡略化することができる。

【0069】また、図2のCMFF回路2では、入力部11から出力された電流に基づいて出力部13が出力部12のフィードフォワード制御を行うため、OTA1の内部、例えば図2の入力部11のトランジスタQ1, Q2を流れる電流I1, I2が同相成分を含んでいても、その同相成分を除去するような制御が行われ、OTA1の内部で発生した同相成分を除去することができる。

【0070】（第3の実施形態）第3の実施形態も、第1の実施形態の具体例であり、図19と原理的に等しいOTA1を有する例を示している。

【0071】図4は本発明に係る電圧電流変換装置の第3の実施形態の回路図である。図4の入力部11はNPN

トランジスタQ21～Q26とNMOSトランジスタQ27, Q28とを有し、出力部12はPMOSトランジスタQ29, Q30とNPNトランジスタQ31, Q32とを有し、CMFF回路2を構成する出力部13はPMOSトランジスタQ33, Q34とNPNトランジスタQ35, Q36とを有する。出力部12には負荷回路3a, 3bが接続され、負荷回路3a, 3bの他端には基準電圧Vrefが印加される。

【0072】図4では、入力部11内のトランジスタQ27, Q28のゲート端子に印加される差動電圧をV1, V2とし、出力部12から負荷回路3a, 3bに流れる電流をそれぞれIo1, Io2とし、出力部13内のトランジスタQ33のドレイン端子とトランジスタQ35のコレクタ端子の接続点から流れ出す電流をI'01とし、トランジスタQ34のドレイン端子とトランジスタQ36のコレクタ端子の接続点から流れ出す電流をI'02としている。

【0073】図4の装置は、図1と同様に、トランジスタQ29, Q30, Q33, Q34のゲート端子とトランジスタQ33, Q34のドレイン端子を互いに接続している。トランジスタQ29, Q30, Q33, Q34のゲート端子には電流は流れ込まないため、出力部13を流れる電流I'01, I'02の和の電流Icがゼロになるよう、出力部12はCMFF回路2（出力部13）によりフィードフォワード制御され、結果として、図4の装置の出力同相電圧は基準電圧Vrefに等しくなる。

【0074】第3の実施形態においても、OTA1を入力部11と出力部12に分割するとともに、OTA1を制御するCMFF回路2を出力部12と同一構成にしたため、図14等に示す従来の電圧電流変換装置に比べて回路構成を簡略化することができる。

【0075】また、図4のCMFF回路は、入力部11から出力された電流に基づいて出力部12をフィードフォワード制御するため、OTA1の内部、例えば図4の入力部11のトランジスタQ27, Q28を流れる電流I1, I2が同相成分を含んでいても、その同相成分を除去するような制御が可能となり、OTA1の内部で発生した同相成分を除去することができる。

【0076】（第4の実施形態）第4の実施形態は、OTA1の内部の入力部11をCMFB回路2aによりフィードバック制御するものである。

【0077】図5は本発明に係る電圧電流変換装置の第4の実施形態のブロック図である。図5の電圧電流変換装置は、OTA1と、CMFB回路2aとを備え、OTA1の出力端子122には負荷回路3a, 3bが接続される。OTA1は入力部11と出力部12とを有し、CMFB回路2aは出力部12と略等しい構成の出力部13を有する。

【0078】上述した図1の装置は、出力部13の出力を出力部12に供給してフィードフォワード制御を行っていたのに対し、図5の装置は、出力部13の出力を入力部11に供給してフィードバック制御を行う。すなわ

ち、図1と図5の装置は、出力部13の出力を出力部12の制御端子123に供給するか、入力部11の制御端子113に供給するかで異なっており、これ以外の構成は同じである。

【0079】図5の出力部13の出力端子対132は互いに短絡されて、入力部11内の制御端子113に接続される。この出力端子対132を流れる電流Icは、図1と同様に同相成分だけを含んでいる。例えば、入力部11の内部において、制御端子113がMOSトランジスタのゲート端子に接続されている場合には、ゲート端子には電流は流れないと、電流Ic=0でなければならない。

【0080】したがって、このような場合、図5の装置では、電流Ic=0となるように入力部11のバイアス電流がCMFB回路2a（出力部13）によりフィードバック制御され、結果として、図1と同様に、出力部12の出力同相電圧は電圧Vrefと等しくなる。

【0081】この第4の実施形態においても、OTA1内の入力部11をフィードバック制御するCMFB回路2aを、OTA1内の出力部12と略同一の構成にしたため、従来に比べて回路構成を簡略化することができる。また、入力部11から出力された電流に基づいてCMFB回路2aは入力部11を制御するため、入力部11の内部で発生した同相成分を除去することができる。

【0082】（第5の実施形態）第5の実施形態は、第4の実施形態の具体例である。

【0083】図6は本発明に係る電圧電流変換装置の第5の実施形態の回路図である。図6の入力部11は、定電流源21, 22と、NMOSトランジスタQ1, Q2, Q41, Q42と、抵抗R1とを有する。出力部12は、PMOSトランジスタQ3, Q4と、定電流源31, 32とを有する。CMFB回路2aを構成する出力部13は、出力部12と略同一の構成であり、PMOSトランジスタQ7, Q8と定電流源33, 34とを有する。

【0084】入力部11内のトランジスタQ41, Q42のゲート電圧は、出力部13内のトランジスタQ7, Q8のドレイン電圧によりフィードバック制御される。トランジスタQ41, Q42のゲート端子には電流は流れないと、電流Ic=0となる。また、図6の回路においても、電流Ic=I'o1+I'o2=2Icm（ただし、Icmは同相成分）の関係が成り立つため、CMFB回路2aはIcm=0となるように入力部11のバイアス電流を制御し、結果として、図1の装置と同様に、出力部12の出力同相電圧は電圧Vrefと等しくなる。

【0085】（第6の実施形態）第6の実施形態は、OTA1内部の入力部11とCMFB回路2a自身をCMFB回路2aの出力によりフィードバック制御するものである。

【0086】図7は本発明に係る電圧電流変換装置の第6の実施形態のブロック図である。図7の電圧電流変換装置は、OTA1と、CMFB回路2aとを備え、OTA1

の出力端子には負荷回路3a, 3bが接続される。OTA1は、入力部11と出力部12とを有し、CMFB回路2aは出力部12と略同一の構成である。

【0087】図7の装置は、CMFB回路2a自身をCMFB回路2aの出力によりフィードバック制御する点で図5の装置と異なっている。

【0088】（第7の実施形態）第7の実施形態は、第6の実施形態の具体例である。

【0089】図8は本発明に係る電圧電流変換装置の第7の実施形態の回路図である。図8の装置は、CMFB回路2aの構成が異なる他は、図6の構成と同じである。CMFB回路2aは、OTA1内の出力部12と略同一構成の出力部13を有し、出力部13は、PMOSトランジスタQ7, Q8とNMOSトランジスタQ9, Q10とを有する。NMOSトランジスタQ9, Q10のゲート端子およびドレイン端子と、入力部11内のNMOSトランジスタQ41, Q42のゲート端子とは互いに接続されている。

【0090】NMOSトランジスタQ9, Q10のゲート端子とドレイン端子を直結することにより、CMFB回路2aの出力インピーダンスを下げることができ、図6よりも回路の周波数特性がよくなる。

【0091】なお、図8中の電流源31, 32は、例えば、図9に示すように、NMOSトランジスタQ201と、このトランジスタQ201のゲート端子とソース端子の間に接続された電圧源201とで構成される。

【0092】（第8の実施形態）以下に説明する第8～第10の実施形態は、トランスコンダクタンスの向上を図ったものである。

【0093】図10は本発明に係る電圧電流変換装置の第8の実施形態の回路図であり、図2の回路の変形例である。

【0094】図10の入力部11は、PMOSトランジスタQ51～Q54と、NMOSトランジスタQ55, Q56と、定電流源51～54と、抵抗R1とを有する。出力部12は、PMOSトランジスタQ57～Q60と、NMOSトランジスタQ61, Q62とを有し、CMFB回路2を構成する出力部13は、PMOSトランジスタQ63～Q66と、NMOSトランジスタQ67, Q68とを有する。

【0095】入力部11内のトランジスタQ51, Q52と、出力部12内のトランジスタQ57, Q58と、出力部13内のトランジスタQ63, Q64とは、カレントミラーリー回路を構成しており、同様に、入力部11内のトランジスタQ53, Q54と、出力部12内のトランジスタQ59, Q60と、出力部13内のトランジスタQ65, Q66とは、カレントミラーリー回路を構成している。

【0096】上述した図2等の回路では、入力部11内で発生した電流を出力部12, 13に振り分けていたため、OTA1の入力電圧差に対する出力電流差の割合を示すトランスコンダクタンス（I_{o1}-I_{o2}）/（V₁-V₂）が低下する。これに対して、図10の装置は、入

力部1 1から出力部1 2に直接電流を流すのではなく、カレントミラー回路を介して出力部1 2に電流を伝達するため、入力部1 1は出力部1 2, 1 3を電圧制御することと等価になり、トランジスタの向上が図れる。

【0097】(第9の実施形態) 図11は本発明に係る電圧電流変換装置の第9の実施形態の回路図であり、図6の回路の変形例である。

【0098】図11の装置も、入力部1 1と出力部1 2, 1 3内のトランジスタ(Q51, Q52, Q57, Q58, Q63, Q64)、(Q53, Q54, Q59, Q60, Q65, Q66)はそれぞれカレントミラー回路を構成しているため、図10と同様にトランジスタの向上が図れる。

【0099】(第10の実施形態) 図12は本発明に係る電圧電流変換装置の第10の実施形態の回路図であり、図8の回路の変形例である。

【0100】図12の装置も、図10の装置と同様に、装置内にカレントミラー回路を設けて入力部1 1から出力部1 2, 1 3に電流を伝達するため、入力部1 1から出力部1 2, 1 3に直接電流を流す場合に比べて、トランジスタの向上が図れる。

【0101】(第11の実施形態) 第11の実施形態は、OTAのCMFF回路2(あるいはCMFB回路2a)の出力端子対1 3 2に電流源を接続することにより、出力同相電圧の電圧レベルを任意に設定できるようにしたものである。

【0102】図13は本発明に係る電圧電流変換装置の第11の実施形態のブロック図である。図13の電圧電流変換装置は、上述した図1、図5、図7に示したOTA1およびCMFF回路2(あるいはCMFB回路2a)からなる全差動型のOTA(FBOTA)5 1と、FBOTAの出力端子に接続された電流源5 2とを備える。端子1 5 1は、CMFF回路2(あるいはCMFB回路2a)の出力端子対1 3 2に接続されている。例えば、図2に示すように、OTA1内の出力部1 2の制御端子がMOSトランジスタのゲート端子に接続されている場合には、このゲート端子に流れる電流Icがゼロとなるような制御が行われる。

【0103】これに対して、図13の装置は、FBOTA5 1の端子1 5 1に電流源5 2を接続しているため、FBOTA5 1が例えば図2に示したOTA1およびCMFF回路2からなる回路である場合には、出力同相電圧は、 $y \cdot I_{cm} + V_{ref} = y \cdot I_o / 2 + V_{ref}$ となる。ただし、yは負荷回路3a, 3bのアドミタンス、Vrefは負荷回路3a, 3bの一端に印加される基準電圧、Ioは電流源5 2を流れる電流である。

【0104】このように、FBOTA5 1の出力端子に電流源5 2を接続することにより、出力同相電圧を電流源5 2で制御することができる。

【0105】なお、図10～図12では、図2、図6、

図8の回路についてトランジスタの向上を図る例を説明したが、図4の回路についても同様に、装置内部にカレントミラー回路を設けることによりトランジスタの向上させることができる。

【0106】

【発明の効果】以上詳細に説明したように、本発明によれば、OTA等の差動電圧電流変換回路を入力部と出力部に分割し、差動電圧電流変換回路を制御する同相成分制御回路を出力部と略等しい構成にしたため、装置の全体構成を簡略化でき、回路規模を小型化できるとともに、消費電力の低減が図れる。

【0107】また、装置の内部を流れる電流に基づいて入力部や出力部を流れる電流を制御するため、装置の内部で発生した同相成分を除去することができる。

【0108】さらに、同相成分制御回路の出力端子に電流源を接続することにより、出力部から出力される同相電圧の電圧レベルを、電流源を流れる電流で制御することができる。

【図面の簡単な説明】

【図1】本発明に係る電圧電流変換装置の第1の実施形態のブロック図。

【図2】本発明に係る電圧電流変換装置の第2の実施形態の回路図。

【図3】定電流源の詳細構成を示す回路図。

【図4】本発明に係る電圧電流変換装置の第3の実施形態の回路図。

【図5】本発明に係る電圧電流変換装置の第4の実施形態のブロック図。

【図6】本発明に係る電圧電流変換装置の第5の実施形態の回路図。

【図7】本発明に係る電圧電流変換装置の第6の実施形態のブロック図。

【図8】本発明に係る電圧電流変換装置の第7の実施形態の回路図。

【図9】図8中の電源源の詳細構成を示す回路図。

【図10】本発明に係る電圧電流変換装置の第8の実施形態の回路図。

【図11】本発明に係る電圧電流変換装置の第9の実施形態の回路図。

【図12】本発明に係る電圧電流変換装置の第10の実施形態の回路図。

【図13】本発明に係る電圧電流変換装置の第11の実施形態のブロック図。

【図14】従来のCMFB方式のFBOTAを備えた電圧電流変換装置の概略構成を示すブロック図。

【図15】従来のOTA1の詳細構成を示す回路図。

【図16】従来のCMFB回路2aの詳細構成を示す回路図。

【図17】CMFB回路2aの他の従来例を示す回路図。

【図18】出力同相電流Icmに着目した電圧電流変換装

置の従来例を示す回路図。

【図19】出力同相電流 I_{cm} に着目したOTA 1の他の従来例を示す回路図。

【符号の説明】

1 OTA

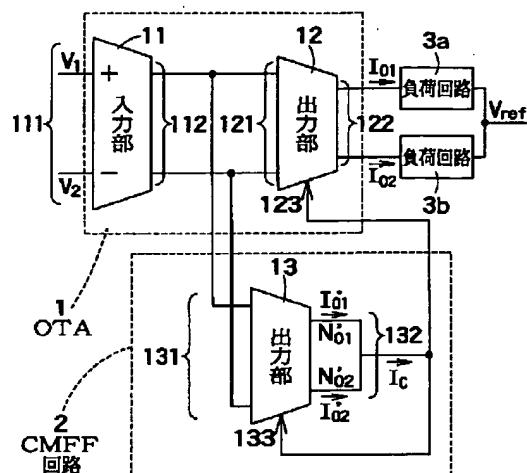
2 CMFF回路

2 a CMFB回路

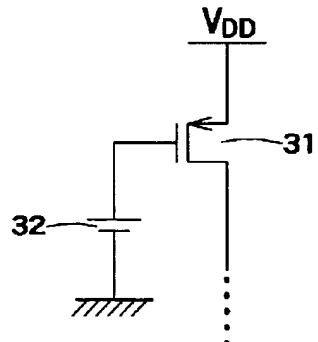
3 a, 3 b 負荷回路

1 1 入力部

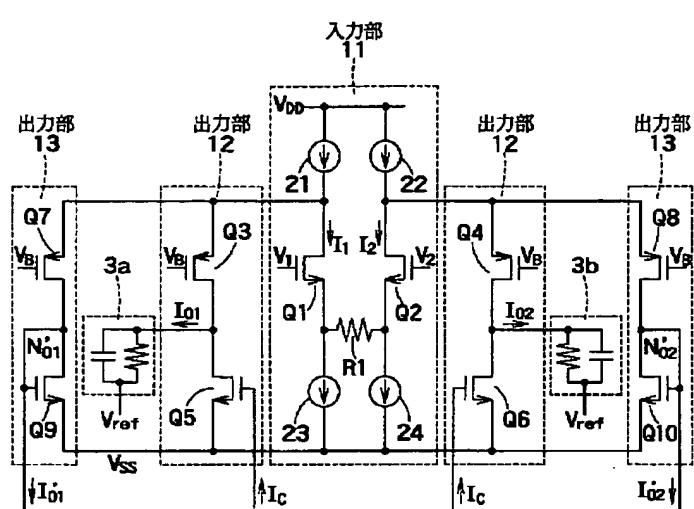
1 2, 1 3 出力部



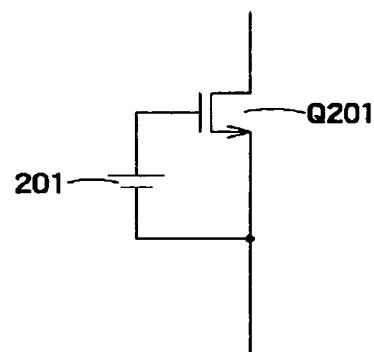
【図2】



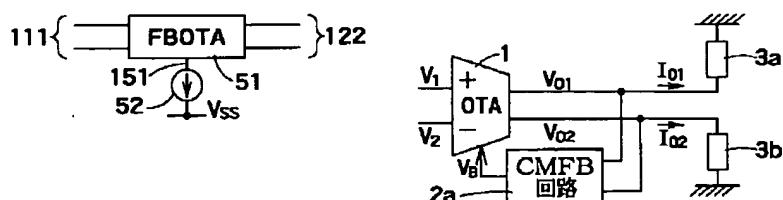
【図3】



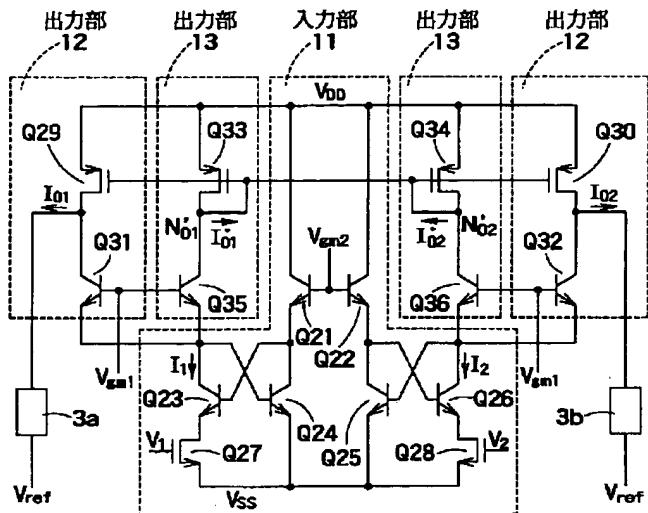
【図13】



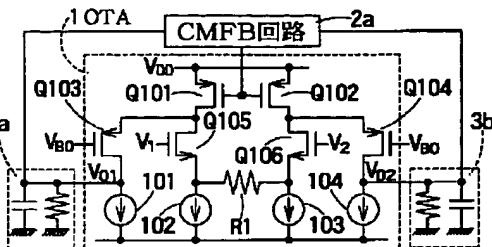
【図14】



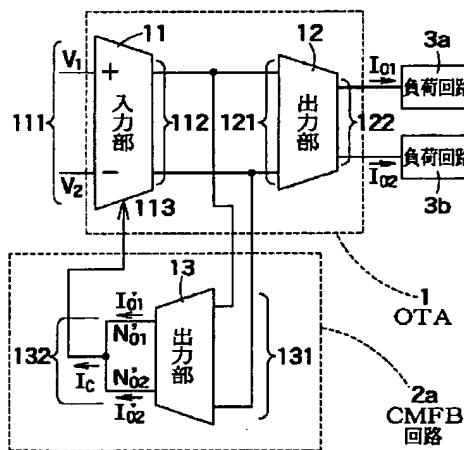
【図 4】



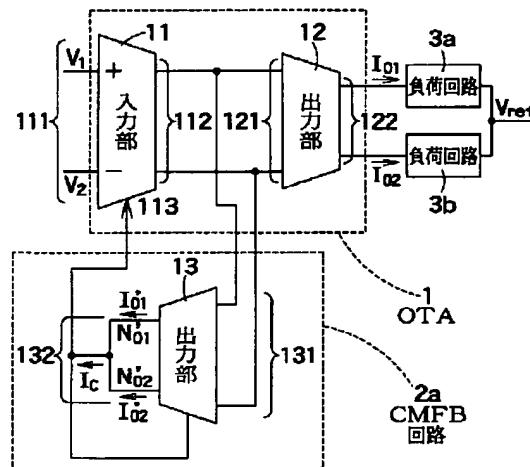
【図 15】



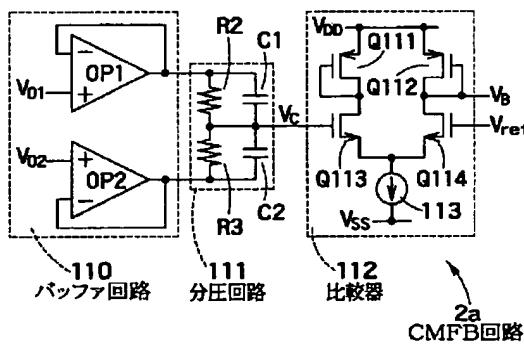
【図 5】



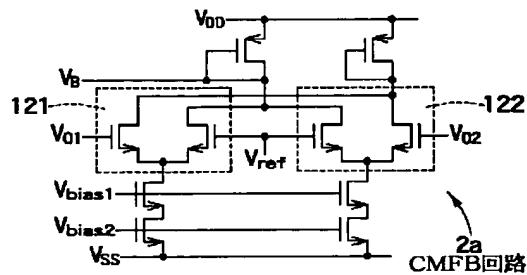
【図 7】



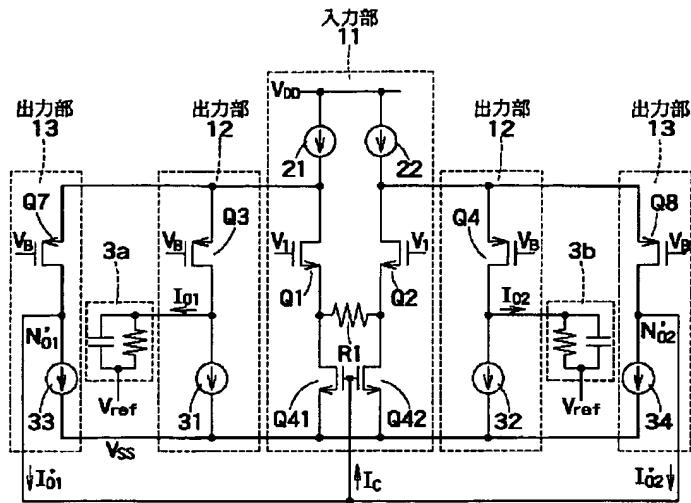
【図 16】



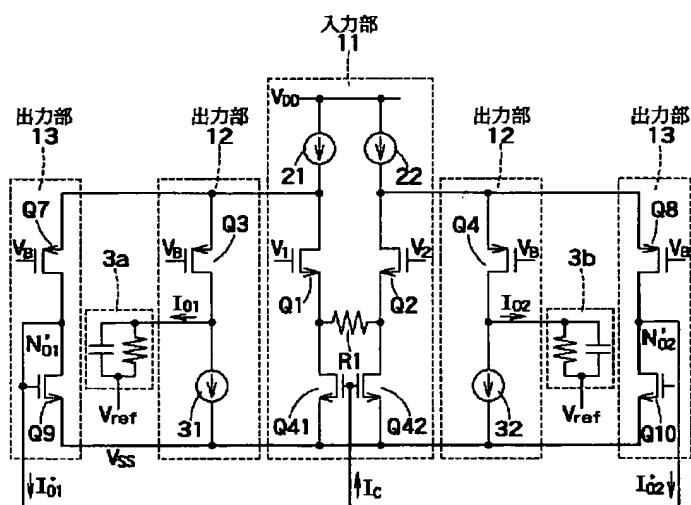
【図 17】



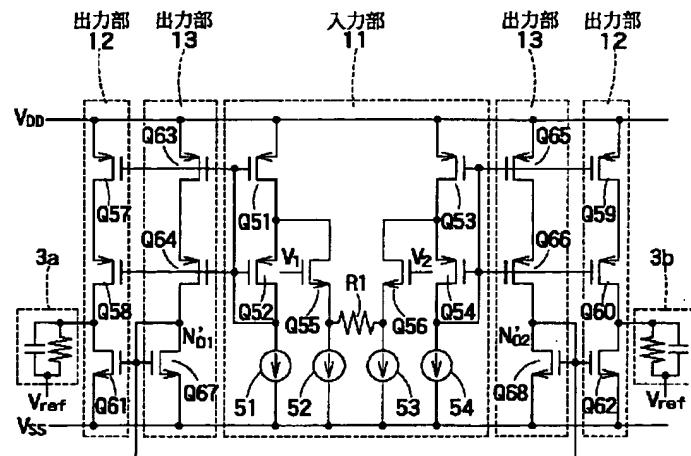
【図6】



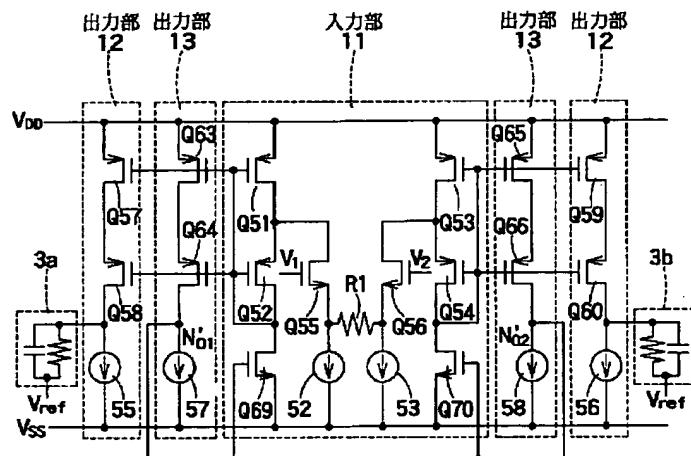
【図8】



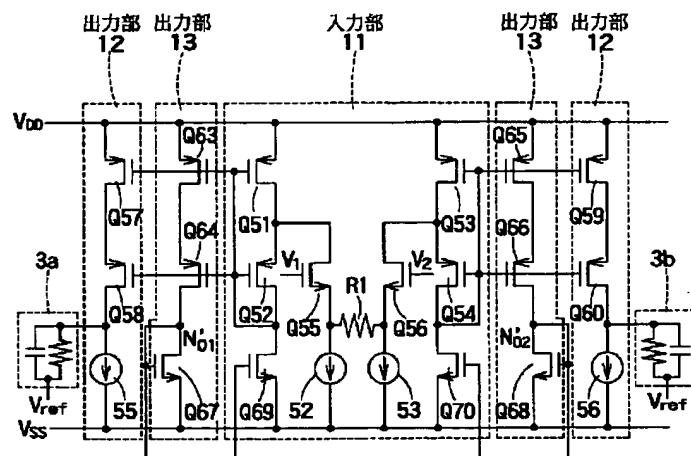
【図 1 0】



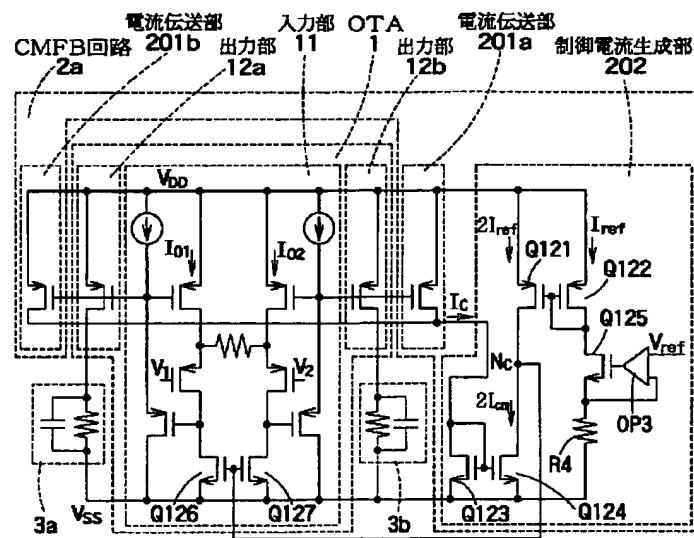
【図 1 1】



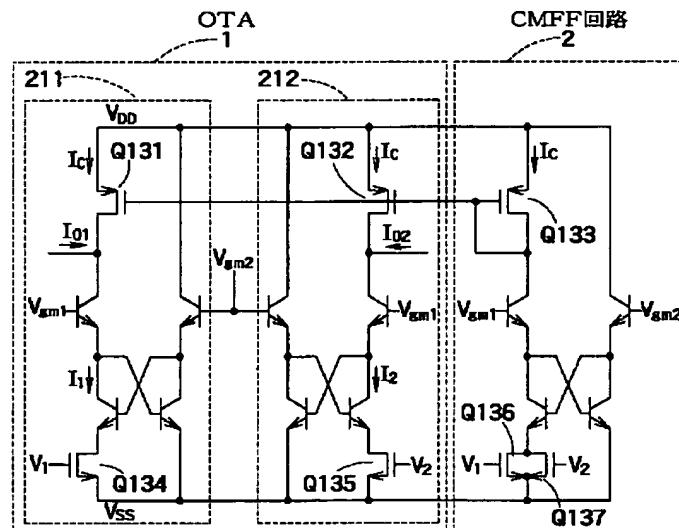
【図 1 2】



【図18】



【図19】



フロントページの続き

(72)発明者 小田和宏

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

F ターム(参考) 5H430 BB05 BB12 EE06 EE09 EE12

EE13 EE17 FF07 FF13 HH03
JJ04 JJ07

5K029 AA18 EE02 EE17 GG07